

CLIPPEDIMAGE= JP362063472A
PAT-NO: JP362063472A
DOCUMENT-IDENTIFIER: JP 62063472 A
TITLE: POWER MOS-FET

PUBN-DATE: March 20, 1987

INVENTOR-INFORMATION:

NAME

KUBO, MASARU

OKADA, KEIICHI

YOSHIOKA, MINORU

ITO, TAKUYA

YOSHIKAWA, TOSHIBUMI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SHARP CORP

N/A

APPL-NO: JP60203900

APPL-DATE: September 13, 1985

INT-CL_(IPC): H01L029/78; H01L029/52

ABSTRACT:

PURPOSE: To reduce ON resistance, by forming a groove in the back surface of a semiconductor substrate layer beneath a gate so that the groove penetrates through the substrate layer and cuts into an epitaxial layer, and forming a high concentration layer having the same conductivity type as the substrate layer in the substrate layer facing a drain electrode.

CONSTITUTION: Anisotropic etching is performed in the back surface of a substrate layer 1 beneath each gate, and a groove 11 is formed. A high concentration N<SP>+</SP> layer 12 is formed from the back surface side of the substrate layer 1, in which the groove 11 is formed. A drain electrode 10 is formed on the surface of the N<SP>+</SP> layer 12. The groove 11 has the depth

penetrating at least the substrate layer 1 and reaching an epitaxial layer 2.
It is desirable that the depth of the groove is made as deep as possible in decreasing the ON resistance within a range the withstanding voltage can be maintained.

COPYRIGHT: (C)1987,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-63472

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)3月20日

H 01 L 29/78
29/52

8422-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 パワーMOS-FET

⑯ 特 願 昭60-203900

⑰ 出 願 昭60(1985)9月13日

⑱ 発 明 者	久 保	勝	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑱ 発 明 者	岡 田	景 一	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑱ 発 明 者	吉 岡	稔	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑱ 発 明 者	伊 藤	卓 也	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑱ 発 明 者	吉 川	俊 文	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑲ 出 願 人	シャープ株式会社			大阪市阿倍野区長池町22番22号
⑳ 代 理 人	弁理士 岡田 和秀			

明 細 書

1、発明の名称

パワーMOS-FET

2、特許請求の範囲

(1) N型またはP型の半導体基板層の表面上にこれと同導電型のエピタキシャル層が形成され、このエピタキシャル層の表面側に複数の単位MOS-FETのゲートとソースとが個別に形成され、前記半導体基板層裏面側に前記各単位MOS-FETのドレイン電極が共通に形成されてなるパワーMOS-FETにおいて、

前記半導体基板層の裏面側であって、かつ各単位MOS-FETのゲートの下方には、該半導体基板層を貫通し、かつ前記エピタキシャル層の内方に入り込む溝が形成され、

また、前記ドレイン電極に面する前記半導体基板層には、該半導体基板層と同導電型の高濃度層が形成されてなることを特徴とするパワーMOS-FET。

3、発明の詳細な説明

(産業上の利用分野)

本発明は、パワーMOS-FETに関する。

(従来技術)

第2図は、従来例のパワーMOS-FET(金属酸化膜ゲート型電界効果トランジスタ)の構造断面図である。第2図において、符号1はN型半導体基板層、2は半導体基板層1と同導電型のエピタキシャル層、3a, 3b, 3cはエピタキシャル層2に形成されたPウェル層、4a, 4b, 4c, 4dはエピタキシャル層2に形成されたN⁺型領域層である。5a, 5bは酸化シリコン膜、6a, 6bはポリシリコン層、7はアルミ配線である。8a, 8bはゲート、9a, 9bはソース、10はドレイン電極である。また、同図における鎖線はキャリアの流れを示している。

このような構造のパワーMOS-FETでは、ゲート8aとソース9aとドレイン電極10とで1つの単位MOS-FET、ゲート8bとソース9bとドレイン電極10とでもう1つの単位MOS-FETが形成される。図面では2個の単位MOS

-FETが形成されている構造が示されたが、通常、パワーMOS-FETは、大電流を取り扱うのでこのような単位MOS-FETを数千から数万、1チップ上に並列に形成している。

ところで、パワーMOS-FETのオン抵抗は、ソースの N^+ 型領域層4a~4dの抵抗と、チャンネル抵抗と、蓄積層抵抗と、半導体基板層1およびエピタキシャル層2で構成されるドレイン領域層の抵抗との合計和である。このオン抵抗はできる限り小さいほうがパワーMOS-FETの損失を低減する上では好ましいことが知られている。

そこで、この損失の低減には、前記各抵抗の値を小さくすればよいが、 N^+ 型領域層4a~4dの抵抗とチャンネル抵抗と蓄積層抵抗とは抵抗値を小さくすることは困難である。このため、オン抵抗を小さくするためには、エピタキシャル層2と半導体基板層1の抵抗値を小さくすることが考えられるが、エピタキシャル層2は耐圧維持のために比抵抗と厚みとを余り小さくすることができない。また、半導体基板層1は、ウエハプロセスな

どの作業性の都合から機械的強度を持たせる必要があるために、余り薄くすることができない。このため、従来構造のパワーMOS-FETでは、オン抵抗の低減には限界があった。

(発明の目的)

本発明は上記の事情に鑑みてなされたものであって、ソース・ドレイン間の耐圧及びウエハの機械的強度を著しく下げることなく、オン抵抗を低減することができるパワーMOS-FETを提供することを目的としている。

(発明の構成)

本発明は、このような目的を構成するために次のような特徴を備えている。

即ち、本発明はN型またはP型の半導体基板層の表面上にこれと同導電型のエピタキシャル層が形成され、このエピタキシャル層の表面側に複数の単位MOS-FETのゲートとソースとが個別に形成され、前記半導体基板層裏面側に前記各単位MOS-FETのドレイン電極が共通に形成されてなるパワーMOS-FETにおいて、

前記半導体基板層の裏面側であって、かつ各単位MOS-FETのゲートの下方には、該半導体基板層を貫通し、かつ前記エピタキシャル層の内方に入り込む溝が形成され、

また、前記ドレイン電極に面する前記半導体基板層には、該半導体基板層と同導電型の高濃度層が形成されてなることを特徴としている。

(実施例)

第1図は本発明の実施例に係るパワーMOS-FETの構造断面図である。同図において第2図と同一部分は同一符号で示している。従って、これら同一部分の説明は、ここでは省略する。

本実施例に係るパワーMOS-FETは、各ゲート下方の基板層1の裏面に、異方性エッチングすることにより溝11が形成されている。そして、前記溝11が形成された基板層1の裏面側から高濃度の N^+ 層12が形成され、さらに N^+ 層12の表面にドレイン電極10が形成されている。

前記溝11は少なくとも基板層1を貫通して、エピタキシャル層2に達する深さを有するが、こ

の溝深さは耐圧を維持できる範囲内で、できる限り深くするのがオン抵抗を低減するうえで望ましい。即ち、エピタキシャル層2の不純物濃度はPウエル層3a~3cの不純物濃度よりも十分小さく設定されているから、ドレイン電圧を上げていくと、空乏層がエピタキシャル層2側に伸び、ついには各Pウエル層3a~3cの空乏層が連結して、第1図に波線で示したように広がる。この空乏層がドレイン側に加わる電界を遮蔽することによって、ソース・ドレイン間の耐圧が維持される。従って、必要な耐圧に等しい電圧がドレイン電極に印加されたとき、降伏現象を起こさないようにするために、前記空乏層が N^+ 層に達しない程度に、溝深さを定めなければならない。

上述した構成を備えたパワーMOS-FETにおいて、キャリアは、同図に鎖線で示すように各ソースから横方向に流れ出た後、エピタキシャル層2及び N^+ 層12を通過してドレイン電極に流れ込む。このように、キャリアは基板層1を介することなく、低抵抗の N^+ 層12を通過してドレイン

電極10に流れ込むために、このパワーMOS-FETのON抵抗は極めて低くなる。

(発明の効果)

以上の説明より明らかなように、本発明に係るパワーMOS-FETは、ゲートの下方に当たる半導体基板層の裏面に、該半導体基板層を貫通してエピタキシャル層の内方に入り込む溝を形成し、さらに、ドレイン電極に面する前記半導体基板層に、該半導体基板層と同導電型の高濃度層を形成することによってON抵抗を低減させている。

従って、本発明によれば、ON抵抗を下げるためにエピタキシャル層の比抵抗や厚みを小さくする必要がなく、また、基板層を薄くする必要もないので、ソース・ドレイン間の耐圧や、ウエハの機械的強度を著しく下げることなく、ON抵抗の低減化を図ることができる。

4、図面の簡単な説明

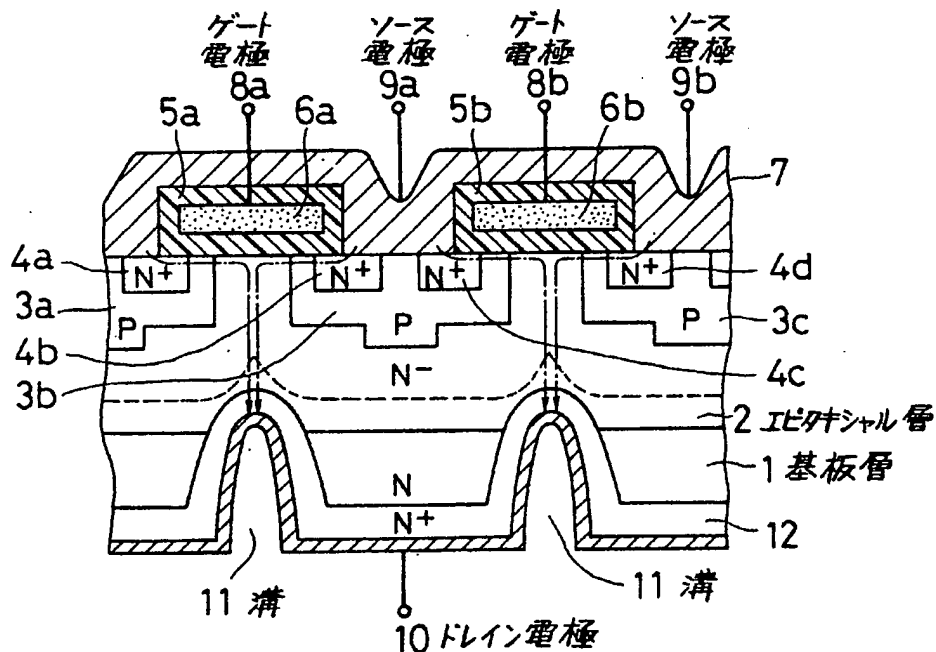
第1図は本発明の実施例に係るパワーMOS-FETの構造断面図、第2図は従来のパワーMOS-FETの構造断面図である。

- | | |
|---------------------------|---------------------|
| 1…基板層 | 2…エピタキシャル層 |
| 3a~3c…Pウェル層 | |
| 4a~4d…N ⁺ 型領域層 | |
| 5a、5b…酸化シリコン膜 | |
| 6a、6b…ポリシリコン層 | |
| 7…アルミ配線 | 8a、8b…ゲート電極 |
| 9a、9b…ソース電極 | 10…ドレイン電極 |
| 11…溝 | 12…N ⁺ 層 |

出願人 シ ャ ー プ 株 式 会 社

代理人 弁 理 士 岡 田 和 秀

第 1 図 (本発明に係るパワー MOS-FET) の構造断面図



第 2 図 (従来のパワ-MOS-FET)
(の構造断面図)

